

## SEMICONDUCTOR INTEGRATED CIRCUIT AND TEST METHOD

Patent Number: JP3238371  
 Publication date: 1991-10-24  
 Inventor(s): NAKAHARA HIDETOSHI  
 Applicant(s): FUJITSU LTD  
 Requested Patent: ☐ JP3238371  
 Application Number: JP19900035479 19900215  
 Priority Number(s):  
 IPC Classification: G01R31/28 ; G01R31/30 ; H01L21/66 ; H01L21/98 ; H01L27/04  
 EC Classification:  
 Equivalents:

### Abstract

**PURPOSE:** To lower production costs with a simplification of a burn-in board of the apparatus by arranging a burn-in mode generation circuit, a clock mode generation circuit and a mode selection circuit.  
**CONSTITUTION:** For example, a mode setting voltage  $V_{TV}$  higher than a normal operation voltage  $V_{CC}$  is applied to internal input terminal IN1. First, test signals SA and SB are generated from a mode generation circuit 22. The test signals SA and SB are outputted to a clock mode generation circuit 23 and a mode selection circuit 24 through control lines S11, S12 and S2. With the circuit 23, a clock supply pC is separated from an external clock CL based on the test signals SA and SB and a terminal CL is connected to the circuit 24 separately to alter destinations of supply of a clock signal CLK. On the other hands, in the circuit 24, likewise, external input terminals IN2-IN50 are separated from other input sections p2-p50 of an internal logic circuit 21 based on the signals SA and SB and a signal CLK supply line S2 is connected to the other input sections p2-p50 of the circuit 21 thereby selecting a test mode from normal mode.

Data supplied from the esp@cenet database - I2

⑫ 公開特許公報(A)

平3-238371

⑬ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)10月24日

G 01 R 31/28  
31/30  
H 01 L 21/66  
21/98  
27/04

F 6912-2G  
7013-5F  
6810-5F  
T 7514-5F  
6912-2G

G 01 R 31/28

V

審査請求 未請求 請求項の数 3 (全12頁)

⑮ 発明の名称 半導体集積回路装置及びその試験方法

⑯ 特 願 平2-35479

⑰ 出 願 平2(1990)2月15日

⑱ 発 明 者 中 原 英 敏 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑲ 出 願 人 富 士 通 株 式 会 社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁 理 士 岡 本 啓 三

明 細 書

1. 発明の名称

半導体集積回路装置及びその試験方法

2. 特許請求の範囲

(1) 内部回路(11)と、前記内部回路(11)に接続された複数の外部入力端子( $IN_1 \sim IN_n$ ,  $n=1, 2, \dots, i, \dots$ ), 外部出力端子( $OT_1 \sim OT_n$ ), 外部クロック端子(CL)及びその他の外部端子(ET)とを具備する半導体集積回路装置において、少なくとも、前記内部回路(11)の一つの入力部( $p_i$ )と該入力部( $p_i$ )から延在する外部入力端子( $IN_i$ )との間に、外部印加電圧に基づいて試験信号(SA, SB)を発生する試験モード発生回路(12)が設けられ、

前記内部回路(11)のクロック供給点( $p_c$ )と外部クロック端子(CL)との間に、前記試験信号(SA, SB)に基づいてクロック信号(CLK)の供給先を変更するクロックモード発生回路(13)が設けられ、

前記内部回路(11)の他の入力部( $p_n \neq p_i$ )

と該他の入力部( $p_n \neq p_i$ )から延在する外部入力端子( $IN_n \neq IN_i$ )との間に、前記試験信号(SA, SB)に基づいて通常動作モードと試験モードとを選択するモード選択回路(14)が個々に設けられ、

前記試験モード発生回路(12)及びクロックモード発生回路(13)からの制御線( $S1, S2$ )が各モード選択回路(14)にそれぞれ接続されていることを特徴とする半導体集積回路装置。

(2) 請求項1記載の半導体集積回路装置であって、前記モード選択回路(14)が前記内部回路(11)の出力部( $q_1 \sim q_n$ )と該出力部( $q_1 \sim q_n$ )から延在する外部出力端子( $OT_1 \sim OT_n$ )との間に個々に設けられていることを特徴とする半導体集積回路装置。

(3) 請求項1記載の半導体集積回路装置の試験方法であって、予め、試験モード発生回路(12)が接続された外部入力端子( $IN_i$ )を試験モード設定端子(TT)と定め、前記試験モード設定端子(TT)に通常動作電圧( $V_{CC}$ )よりも高いモ

ード設定電圧 (TV-VCC) を印加し、前記外部クロック端子 (CL) にクロック信号 (clk) を供給し、前記内部回路 (11) を高温雰囲気中で動作させることを特徴とする半導体集積回路装置の試験方法。

### 3. 発明の詳細な説明

#### (目次)

##### 概要

##### 産業上の利用分野

##### 従来の技術 (第8図)

##### 発明が解決しようとする課題 (第9図)

##### 課題を解決するための手段 (第1、第2図)

##### 作用

##### 実施例

##### (i) 第1の実施例の説明 (第3～第5図)

##### (ii) 第2の実施例の説明 (第6図)

##### (iii) 第1、第2の実施例に係る試験方法の説明 (第7図)

##### 発明の効果

変更するクロックモード発生回路が設けられ、前記内部回路の他の入力部と該他の入力部から延在する外部入力端子との間に、前記試験信号に基づいて通常動作モードと試験モードとを選択するモード選択回路が個々に設けられ、前記試験モード発生回路及びクロックモード発生回路からの制御線が各モード選択回路にそれぞれ接続されていることを含む構成し、

第2の装置は、第1の装置であって、前記モード選択回路が前記内部回路の出力部と該出力部から延在する外部出力端子との間に個々に設けられていることを含む構成する。

#### (産業上の利用分野)

本発明は、半導体集積回路装置及びその試験方法に関するものであり、更に詳しく言えば、パッケージングされた被試験LSI (半導体集積回路装置) の初期故障モードを除去してその特性の安定化をするバーンイン試験 (高温ランニング試験) に係る装置機能及びその試験方法に関するもので

#### (概要)

半導体集積回路装置、特にパッケージングされた被試験LSI (半導体集積回路装置) の初期故障モードを除去してその特性の安定化をするバーンイン試験 (高温ランニング試験) に係る装置機能に関し、

該バーンイン試験に係るソケットアダプタの各入出力ピンにプルアップ抵抗を接続することなく、該被試験LSIの内部回路を工夫し、多ピン化する当該装置のバーンイン試験等の簡易化、かつ、低廉化を図ることを目的とし、

第1の装置は、内部回路に接続された複数の外部入力端子、外部出力端子、外部クロック端子及びその他の外部端子とを具備する半導体集積回路装置において、少なくとも、前記内部回路の一つの入力部と該入力部から延在する外部入力端子との間に、外部印加電圧に基づいて試験信号を発生する試験モード発生回路が設けられ、前記内部回路のクロック供給点と外部クロック端子との間に、前記試験信号に基づいてクロック信号の供給先を

ある。

近年、CMOSゲートアレイ等の半導体集積回路装置においては、ユーザの使用態様による機能要求から数万～数十万ゲート構成の内部論理回路が一つのLSIパッケージに組み込まれ、これに比例して外部端子が数百ピンを超えるものが製造されている。

ところで、パッケージングされたLSI装置は、そのトランジスタ特性の安定化やその初期故障モードの除去をするために、バーンイン試験 (高温ランニング試験) が行われる。

これによれば、ラッチアップ等の弊害を防止するため全ピンにレベル電圧を印加する必要がある。該レベル電圧は、バーンインボードに設けられたソケットアダプタの各端子にプルアップ抵抗を接続し、それに電源を印加することにより得られる。しかし、外部端子の多ピン化によりその抵抗数が膨大になる。

そこで、該アダプタの各端子にプルアップ抵抗を接続することなく、当該LSI装置の内部回路

を工夫し、多ピン化する該LSI装置のバーンイン試験等の簡易化を図ることができる装置とその試験方法が望まれている。

〔従来の技術〕

第8、9図は、従来例に係る説明図である。

第8図は、従来例に係る半導体集積回路装置のバーンイン試験の構成図を示している。

図において、CMOSゲートアレイ等をパッケージングした被試験LSI5のバーンイン試験（高温ランニング試験）は、まず、被試験LSI5がバーンインボード2のソケットアダプタ3に取り付けられ、それが高温ランニング試験装置1にセットされる。

次に、試験制御回路4によりバーンインボード2に試験電圧TEが印加される。この際に、被試験LSI5のラッチアップ等の弊害を防止するため全ピンにレベル電圧が印加される。該レベル電圧は、第9図に示すようにバーンインボード2に設けられたソケットアダプタ3の入出力ピン、す

の弊害を防止するためのブルアップ抵抗 $R_{i1} \sim R_{in}$ 、 $R_{O1} \sim R_{On}$ が、被試験LSI5の外部端子（ $IN1 \sim INn$ 、 $OT1 \sim OTn$ ）数に比例した分、ソケットアダプタ3の各入出力ピンに接続する必要が生ずる。

これにより、抵抗数が膨大になることからソケットアダプタ3の製造コストが増大し、バーンインボード2の設計が複雑になる。このことで、多ピン化する被試験LSI5のバーンイン試験コストが増大するという問題がある。

本発明は、かかる従来例の問題点に鑑み創作されたものであり、バーンイン試験に係るソケットアダプタの各入出力ピンにブルアップ抵抗を接続することなく、該被試験LSIの内部回路を工夫し、多ピン化する当該装置のバーンイン試験等の簡易化、かつ、低廉化を図ることが可能となる半導体集積回路装置及びその試験方法の提供を目的とする。

なわち、被試験LSI5の各入力端子 $IN1 \sim INn$ にブルアップ抵抗 $R_{i1} \sim R_{in}$ が接続され、各出力端子 $OT1 \sim OTn$ にブルアップ抵抗 $R_{O1} \sim R_{On}$ が接続されて、それに電源VCCを印加することにより得られる。

次いで、該試験装置1を高温雰囲気にして被試験LSI5を所定時間動作させる。

これにより、被試験LSI5の初期故障モードが除去され、そのトランジスタ特性の安定化を図ることができる。

〔発明が解決しようとする課題〕

ところで、従来例によればユーザの使用態様による機能要求から数万～数十万ゲート構成の内部論理回路が一つのLSIパッケージに組み込まれる傾向にある。しかし、このように多ピン化する被試験LSI5であっても、それをソケットアダプタ3に取り付けてバーンイン試験（高温ランニング試験）を行わなければならない。

このため、第9図に示すようにラッチアップ等

〔課題を解決するための手段〕

第1図は、本発明に係る半導体集積回路装置の原理図であり、第2図(a)、(b)は、その試験方法の原理図を示している。

その第1の装置は、内部回路11と、前記内部回路11に接続された複数の外部入力端子 $IN1 \sim INn$ 、 $n=1, 2, \dots, i, \dots$ 、外部出力端子 $OT1 \sim OTn$ 、外部クロック端子CL及びその他の外部端子ETとを具備する半導体集積回路装置において、少なくとも、前記内部回路11の一つの入力部 $p_i$ と該入力部 $p_i$ から延在する外部入力端子 $INi$ との間に、外部印加電圧に基づいて試験信号SA、SBを発生する試験モード発生回路12が設けられ、前記内部回路11のクロック供給点 $p_c$ と外部クロック端子CLとの間に、前記試験信号SA、SBに基づいてクロック信号CLEの供給先を変更するクロックモード発生回路13が設けられ、前記内部回路11の他の入力部 $p_n \neq p_i$ と該他の入力部 $p_n \neq p_i$ から延在する外部入力端子 $INn \neq INi$ との間に、前記試験信号SA、SBに基づいて通常動作モードと試験モード

ドとを選択するモード選択回路14が個々に設けられ、前記試験モード発生回路12及びクロックモード発生回路13からの制御線S1、S2が各モード選択回路14にそれぞれ接続されていることを特徴とし、

その第2の装置は、第1の装置であって、前記モード選択回路14が前記内部回路11の出力部 $q_1 \sim q_n$ と該出力部 $q_1 \sim q_n$ から延在する外部出力端子OT1～OTnとの間に個々に設けられていることを特徴とし、

その試験方法は、前記第1、第2の装置の試験方法であって、予め、試験モード発生回路12が接続された外部入力端子INiを試験モード設定端子TTと定め、前記試験モード設定端子TTに通常動作電圧VCCよりも高いモード設定電圧TV>VCCを印加し、前記外部クロック端子CLにクロック信号clkを供給し、前記内部回路11を高湿雰囲気中で動作させることを特徴とし、上記目的を達成する。

信号SA、SBに基づいて内部回路11の他の入力部 $pn \neq pi$ と外部入力端子 $INn \neq INi$ とが分離され、該内部回路11の他の入力部 $pn \neq pi$ にクロック信号CLKの供給線が接続されて通常動作モードから試験モードが選択される。

このことで、従来例のようなラッチアップ等の弊害を防止するためのブルアップ抵抗をソケットアダプタの入力ピンに接続する必要がなくなる。

これにより、抵抗が不要になることからソケットアダプタの製造コストが低下し、バーンインボードの設計が簡略化される。従って、多ピン化する当該装置のバーンイン試験等の簡易化、かつ、低廉化を図ることが可能となる。

また、本発明の第2の装置によれば、モード選択回路14が内部回路11の出力部 $q_1 \sim q_n$ と該出力部 $q_1 \sim q_n$ から延在する外部出力端子OT1～OTnとの間に個々に接続されている。

このため、第1の装置と同様に、試験信号SA、SBに基づいて内部回路11の出力部 $q_1 \sim q_n$ と外部出力端子OT1～OTnとが分離され、該内部回

(作用)

本発明の第1の装置によれば、試験モード発生回路12、クロックモード発生回路13及びモード選択回路14が設けられ、試験モード発生回路12及びクロックモード発生回路13からの制御線S1、S2が各モード選択回路14にそれぞれ接続されている。

このため、試験モード発生回路12が設けられた外部入力端子INiに、例えば、通常動作電圧よりも高い外部電圧を印加することにより、まず、該モード発生回路12から試験信号SA、SBが発生する。この試験信号SA、SBは、制御線S1、S2を介してクロックモード発生回路13及びモード選択回路14に出力される。

また、クロックモード発生回路13では、試験信号SA、SBに基づいてクロック供給点Pcと外部クロック端子CLとが分離され、該外部クロック端子CLが各モード選択回路14にそれぞれ接続されてクロック信号CLKの供給先が変更される。

一方、各モード選択回路14では、同様に試験

路11の出力部 $q_1 \sim q_n$ にクロック信号CLKの供給線が接続されて通常動作モードから試験モードが選択される。

このことで、第1の装置と同様に従来例のようなラッチアップ等の弊害を防止するためのブルアップ抵抗をソケットアダプタの出力ピンに接続する必要がなくなる。

これにより、多ピン化する当該装置のバーンイン試験等の簡易化、かつ、低廉化を図ることが可能となる。

さらに、本発明の試験方法によれば、予め定めた試験モード設定端子TTに、モード設定電圧TV>VCCを印加し、外部クロック端子CLにクロック信号clkを供給してその内部回路11を高湿雰囲気中で動作させている。

このため、従来例のような外部入出力端子に一義的に定まるレベル電圧を印加する方法に比べて、該入出力端子に活性化したクロック信号clkが供給されることで、当該装置の実際の使用状態を想定したバーンイン試験をすることができる。

これにより、初期故障モードを除去してその特性の安定化をするバーンイン効果の向上を図ることが可能となる。

#### (実施例)

次に図を参照しながら本発明の実施例について説明をする。

第3～7図は、本発明の実施例に係る半導体集積回路装置及びその試験方法の説明図である。

#### (1) 第1の実施例の説明

第3図は、本発明の第1の実施例に係る半導体集積回路装置の構成図である。

図において、21は内部回路11の一実施例となるC-MOSゲートアレイ等の内部論理回路である。内部論理回路21には、例えば外部入力端子IN1～IN50、( $n=1, 2, \dots, 50$ )に接続される入力部p1～p50、外部出力端子OT1～OT50に接続される出力部q1～q50、外部クロック端子CLに接続されるクロック供給部pc及び電源端子ET(+), (-)に接続される電源供給部e(+), (-)。

非反転信号等の試験信号SA, SBを発生するものである。該試験信号SA, SBは、制御線S11, S12を介してクロックモード発生回路23と各モード選択回路24にそれぞれ伝送される。

23はクロックモード発生回路であり、試験信号SA, SBに基づいてクロック信号CLKの供給先を変更するものである。クロックモード発生回路23は、内部論理回路21のクロック供給点pcと外部クロック端子CLとの間に設けられている。また、該モード発生回路23はスイッチングトランジスタT1, T2から成る。そのT1の機能は、通常使用時には「ON」し、試験時には試験信号SA, SBに基づいて「OFF」する。また、T2の機能は通常使用時には「OFF」し、試験時には同様に信号SA, SBに基づいて「ON」するものである。該クロック信号CLKは、供給線S2を介して各モード選択回路24に伝送される。

これにより、通常使用時にはクロック信号CLKが内部論理回路21のクロック供給点pcに供給され、試験時には該信号CLKがモード選択回路2

(-)が設けられている。

ここで、本発明の実施例では外部入力端子IN1を試験モード設定端子TTとし、他の外部入力端子IN2～IN50よりも高絶縁構造を有している。

22は試験モード発生回路12の一実施例となるバーンインモード発生回路であり、外部印加電圧に基づいて試験信号SA, SBを発生するものである。バーンインモード発生回路22は、内部論理回路21の特定の入力部p1と該入力部p1から延在する試験モード設定端子IN1=TTとの間に設けられている。

該発生回路22は、レベル発生器22A、比較器22B及び緩衝器22Cから成る。レベル発生器22Aは、予め設定された比較電圧レベルVRを発生するものである。比較器22Bは、該設定端子TTに通常使用電圧VCCより高いモード設定電圧TV>VCCが印加されたときに、両電圧TV, VRのAND論理処理をして緩衝器22Cを活性化するものである。

緩衝器22Cは、AND論理処理に基づいて反転、

4に供給される。

24はモード選択回路であり、試験信号SA, SBに基づいて通常動作モードと試験モードとを選択するものである。モード選択回路24は、内部論理回路21の他の入力部p2～p50と該他の入力部p2～p50から延在する外部入力端子IN2～IN50との間に個々に設けられている。また、該選択回路24はスイッチングトランジスタT3, T4から成る。そのT3の機能は、通常使用時には「ON」し、試験時には試験信号SA, SBに基づいて「OFF」する。また、T4の機能は通常使用時には「OFF」し、試験時には同様に信号SA, SBに基づいて「ON」するものである。

これにより、通常使用時には外部入力端子IN1～IN50の端子情報が入力部p1～p50にそれぞれ伝達され、試験時にはクロック信号CLKが入力部p2～p50に、モード設定電圧RTVが試験モード設定端子TTに、それぞれ供給される。

これらにより、本発明の第1の実施例に係る半導体集積回路装置を構成する。

なお、第4図は、本発明の第1の実施例に係るパーンインモード時の等価回路であり、第5図は、本発明の第1の実施例に係る通常使用時の等価回路をそれぞれ示している。

このようにして、本発明の第1の実施例によれば、パーンインモード発生回路22、クロックモード発生回路23及びモード選択回路24が設けられ、該モード発生回路22及びクロックモード発生回路23からの制御線S11、S12及び供給線S2が各モード選択回路24にそれぞれ接続されている。

このため、パーンインモード発生回路22が設けられた外部入力端子IN1に、例えば、通常動作電圧VCCよりも高いモード設定電圧TVを印加することにより、まず、該モード発生回路22から試験信号SA、SBが発生する。この試験信号SA、SBは、制御線S11、S12、S2を介してクロックモード発生回路23及びモード選択回路24に出力される。

また、クロックモード発生回路23では、試験信号SA、SBに基づいてクロック供給点pcと外部

クロック端子CLとが分離され、該外部クロック端子CLが各モード選択回路14にそれぞれ接続されてクロック信号CLKの供給先が変更される。

一方、各モード選択回路24では、同様に試験信号SA、SBに基づいて内部論理回路21の他の入力部p2～p50と外部入力端子IN2～IN50とが分離され、該回路21の他の入力部p2～p50にクロック信号CLKの供給線S2が接続されて通常動作モードから試験モードが選択される。

このことで、従来例のようなラッチアップ等の弊害を防止するためのプルアップ抵抗をソケットアダプタの入力ピンに接続する必要がなくなる。

これにより、抵抗が不要になることからソケットアダプタの製造コストが低下し、パーンインボードの設計が簡略化される。従って、多ピン化する当該装置のパーンイン試験等の簡易化、かつ、低廉化を図ることが可能となる。

#### (ii) 第2の実施例の説明

第6図は、本発明の第2の実施例に係る半導体

集積回路装置の構成図である。

図において、第1の実施例と異なるは第2の実施例では、モード選択回路24が内部論理回路21の出力部q1～q50と該出力部q1～q50から延在する外部出力端子OT1～OT50との間に個々に設けられるものである。

なお、第1の実施例の同符号・同名称のものは同機能を有するため説明を省略する。

このようにして、本発明の第2の実施例によれば、モード選択回路24が内部論理回路21の出力部q1～q50と該出力部q1～q50から延在する外部出力端子OT1～OT50との間に個々に接続されている。

このため、第1の実施例と同様に、試験信号SA、SBに基づいて内部論理回路21の出力部q1～q50と外部出力端子OT1～OT50とが分離され、該回路21の出力部q1～q50にクロック信号CLKの供給線S2が接続されて通常動作モードから試験モードが選択される。

このことで、第1の実施例と同様に従来例のよ

うなラッチアップ等の弊害を防止するためのプルアップ抵抗をソケットアダプタの出力ピンに接続する必要がなくなる。

これにより、多ピン化する当該装置のパーンイン試験等の簡易化、かつ、低廉化を図ることが可能となる。

#### (iii) 第1、第2の実施例に係る試験方法の説明

第7図(a)、(b)は、本発明の実施例に係るLSIのパーンイン試験方法の説明図であり、同図(a)はその試験回路図を示している。

同図(a)において、第1、第2の実施例に係る半導体集積回路装置等の被試験LSI26のパーンイン試験をする高温ランニング試験装置25は、試験制御回路25a、高温容器25b、ソケットアダプタ25c及びヒーター25d等から成る。

試験制御回路25aは、モード設定電圧TV、クロック信号clk、動作電圧VCC(+), (-)をソケットアダプタ25cに供給したり、ヒーター25dに加熱電源を供給して被試験LSI26の初期故

障モードを除去し、その特性の安定化をするものである。なお、本発明の実施例に係るソケットアダプタ25cの端子部分には、従来例のようなブルアップ抵抗が接続されず、その部分がアキ状態となっている。

同図(b)は、その試験フローチャートを示している。

同図(b)において、まず、ステップP1で予め、バーンインモード発生回路22が接続された外部入力端子IH1をバーンインモード設定端子TTと定める。なお、当該端子TTの位置は製造業者が把握していれば足りる。

次いで、ステップP2でバーンインモード設定端子TTに通常動作電圧VCCよりも高いモード設定電圧TV>VCCを印加する。この際に、バーンインモード発生回路22のレベル発生器22Aからの比較電圧レベルVRとモード設定電圧TVが比較され、該両電圧TV、VRのAND論理処理の結果、緩衝器22Cが活性化される。これにより、緩衝器22Cから試験信号SA、SBが、制御線S11、S12を介

して印加し、ステップP3で外部クロック端子CLにクロック信号clkを供給してその内部論理回路21をステップP5で高温雰囲気中で動作させている。

このため、従来例のような外部入出力端子に接続されたブルアップ抵抗により一義的に定まるレベル電圧を該端子に印加する方法に比べて、該入出力端子p2～p50、q1～q50に活性化したクロック信号clkが供給される。このことで、当該装置の実際の使用状態、すなわち、反転・非反転を繰り返す通常動作状態を想定したバーンイン試験をすることができる。

これにより、初期故障モードを除去してその特性の安定化をするバーンイン効果の向上を図ることが可能となる。

#### (発明の効果)

以上説明したように、本発明によれば試験モード発生回路、クロックモード発生回路及びモード選択回路が設けられ、バーンインモード時に試験

してクロックモード発生回路23と各モード選択回路24にそれぞれ伝送される。

その後、ステップP3で外部クロック端子CLにクロック信号clkを供給する。この際に、試験信号SA、SBに基づいてクロックモード発生回路23のスイッチングトランジスタT1が「ON」から「OFF」する。また、トランジスタT2が「OFF」から「ON」する。これにより、クロック信号CLKが、供給線S2を介して各モード選択回路24に伝送される。

さらに、ステップP4で被試験LSI26を高温ランニング試験装置25に搬入する。

次に、ステップP5で被試験LSI26を所定時間高温雰囲気中で動作させる。

これにより、本発明の第1、第2の実施例に係る半導体集積回路装置のバーンイン試験をすることができる。

このようにして、本発明の実施例に係る試験方法によれば、ステップP2で予め定めたバーンインモード設定端子TTに、モード設定電圧TV>VCC

モード発生回路からの制御情報に基づいてクロック信号を各モード選択回路にそれぞれ供給することができる。

このため、従来例のようなラッチアップ等の弊害を防止するためのブルアップ抵抗の必要が無くなる。このことで、ソケットアダプタの製造コストの低減化及びバーンインボードの設計の簡略化を図ることができる。

これにより、多ピン化する当該半導体集積回路装置のバーンイン試験等の簡易化、かつ、低廉化を図ることが可能となる。また、バーンイン試験の信頼度の向上に寄与するところが大きい。

#### 4. 図面の簡単な説明

第1図は、本発明に係る半導体集積回路装置の原理図、

第2図は、本発明に係る半導体集積回路装置の試験方法の原理図、

第3図は、本発明の第1の実施例に係る半導体集積回路装置の構成図、

第4図は、本発明の第1の実施例に係るバーン



インモード時の等価回路図、

第5図は、本発明の第1の実施例に係る通常使用時の等価回路図、

第6図は、本発明の第2の実施例に係る半導体集積回路装置の構成図、

第7図は、本発明の実施例に係るLSIのバーンイン試験方法の説明図、

第8図は、従来例に係る半導体集積回路装置のバーンイン試験方法の構成図、

第9図は、従来例に係る問題点を説明するソケットアダプタの周辺回路図である。

ET…その他の外部端子、

pi…入力部、

SA, SB…試験信号、

pc…クロック供給点、

CL…外部クロック端子、

CLK…クロック信号、

pa+pi…他の入力部、

S1, S2…制御線。

特許出願人 富士通株式会社

代理人弁理士 岡本 啓三

(符号の説明)

11…内部回路、

12…試験モード発生回路、

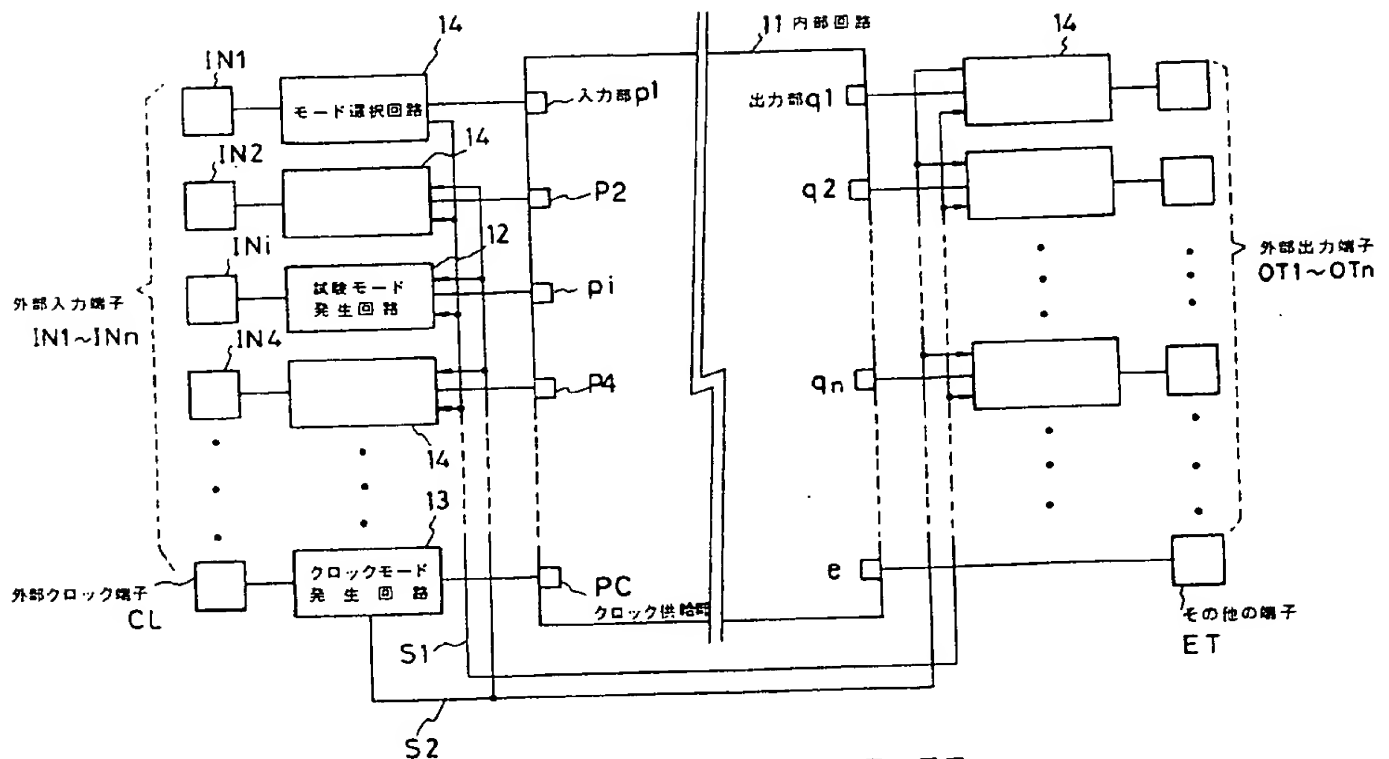
13…クロックモード発生回路、

14…モード選択回路、

IN1～INn, INi…外部入力端子、

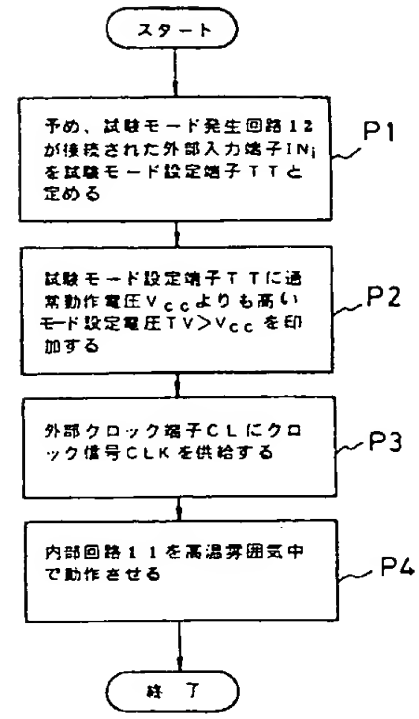
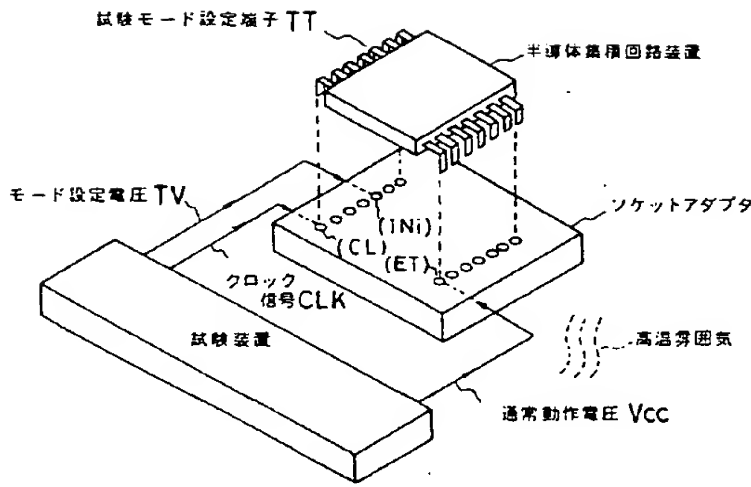
OT1～OTn…外部出力端子、

CL…外部クロック端子、



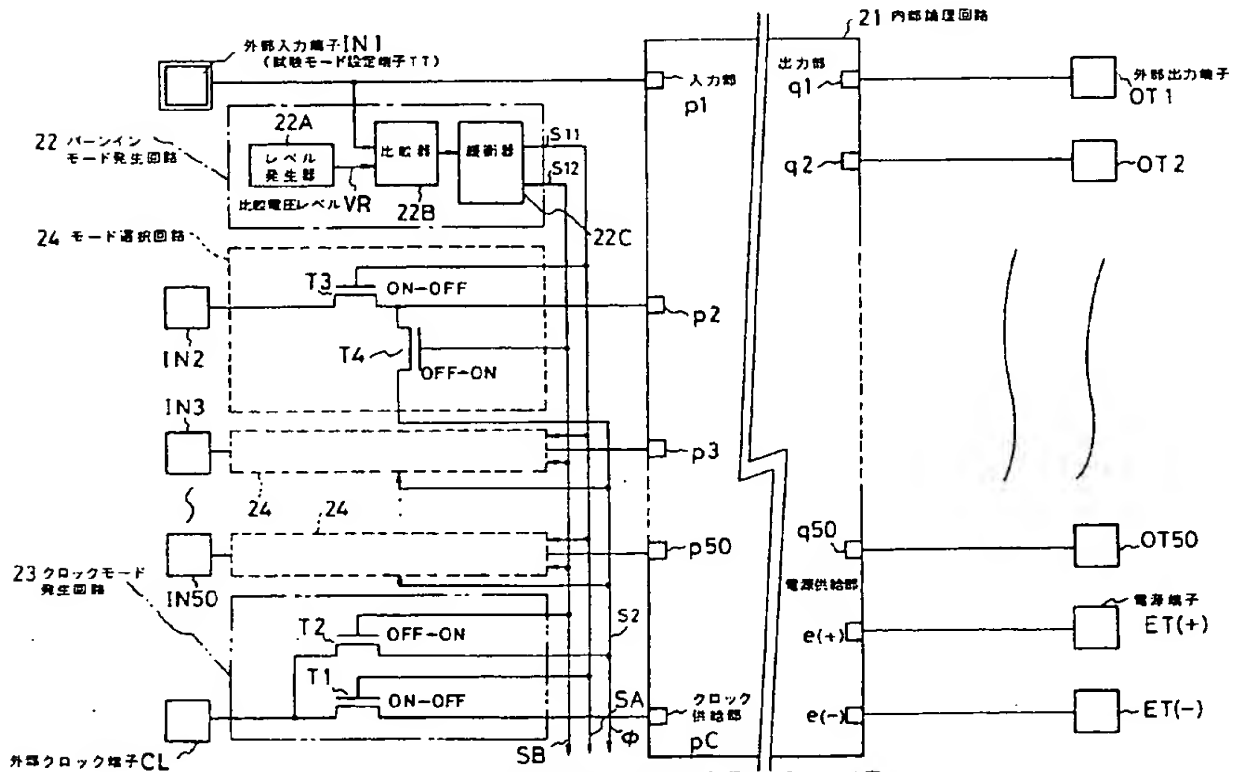
本発明に係る半導体集積回路装置の原理

第 1 図

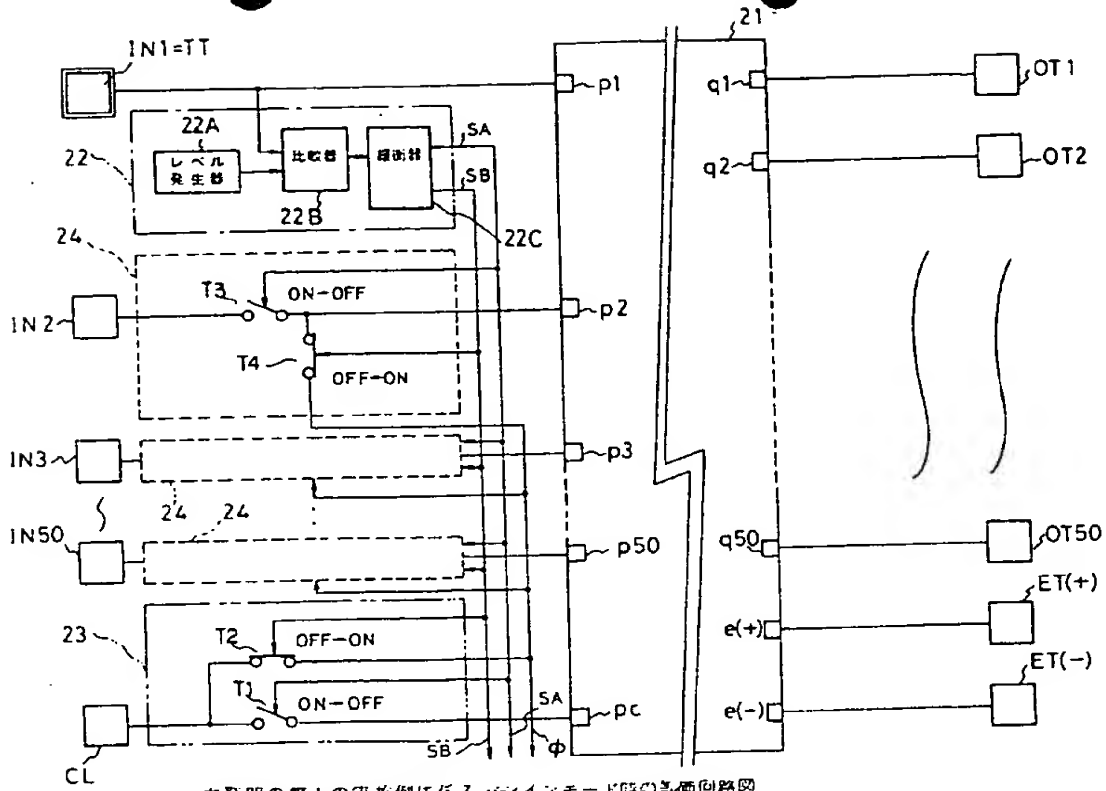


本発明に係る半導体集積回路装置の試験方法の原理図

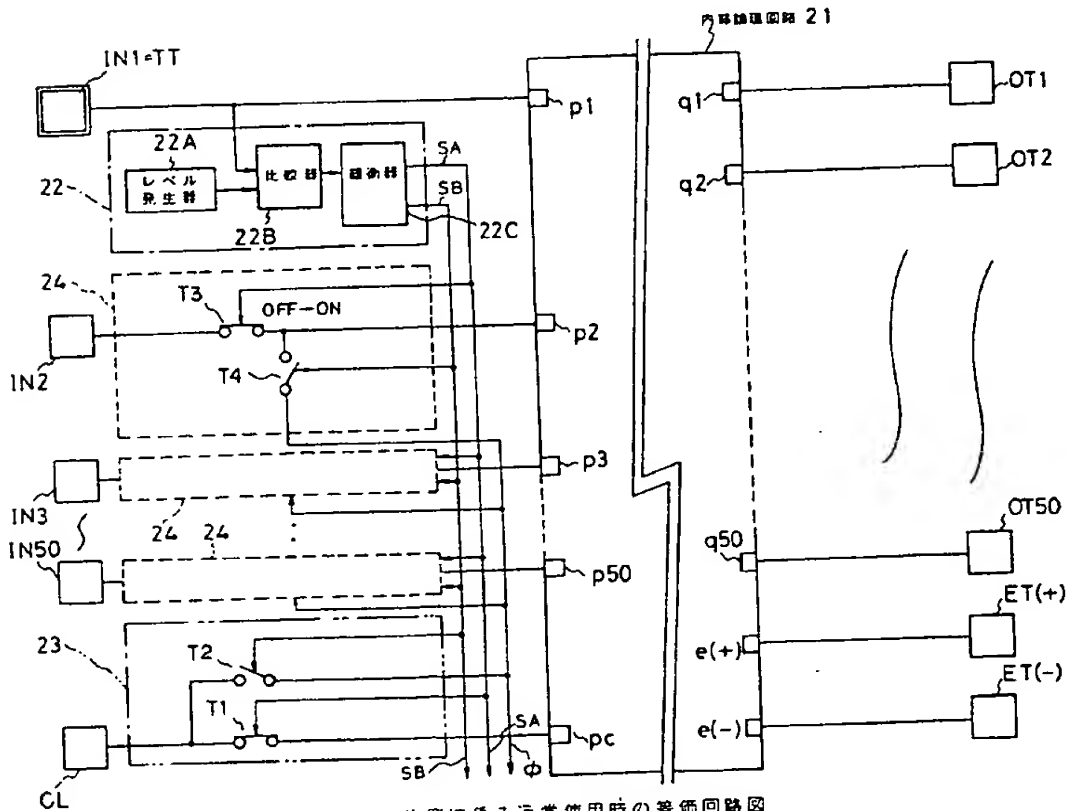
第 2 図



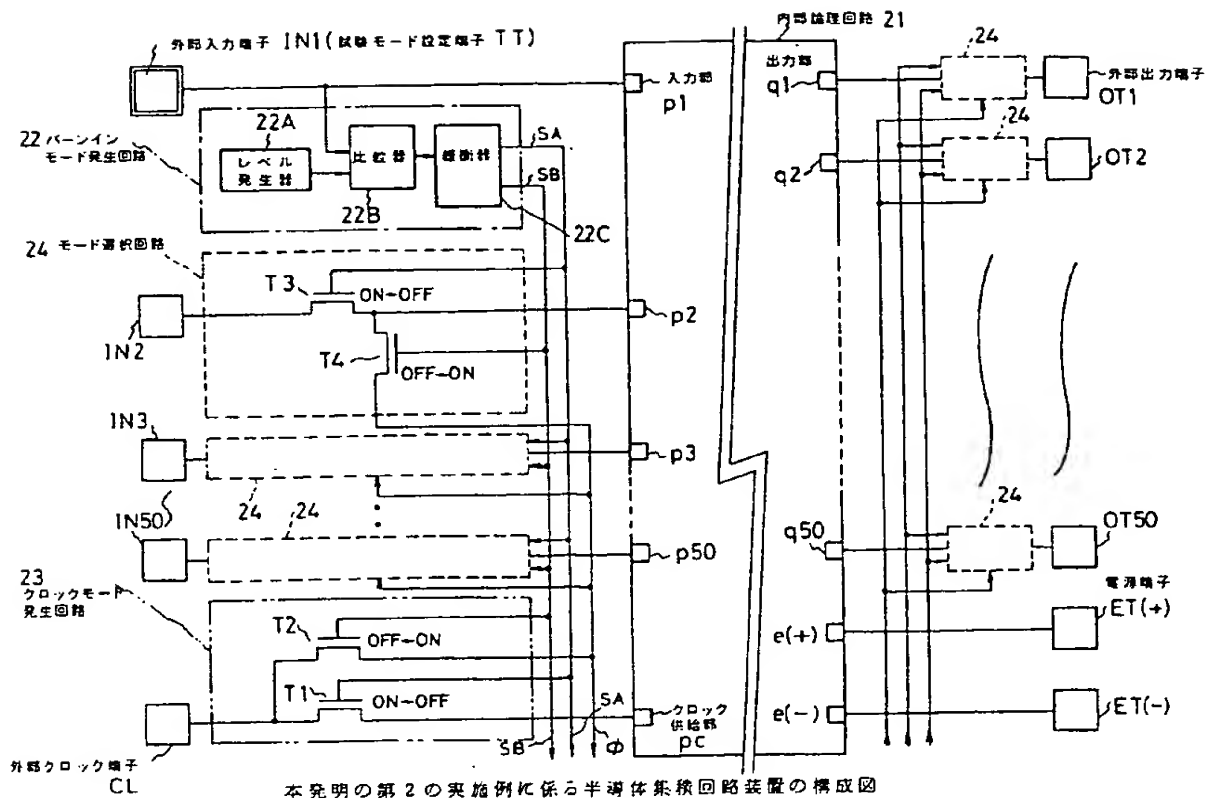
第 3 図



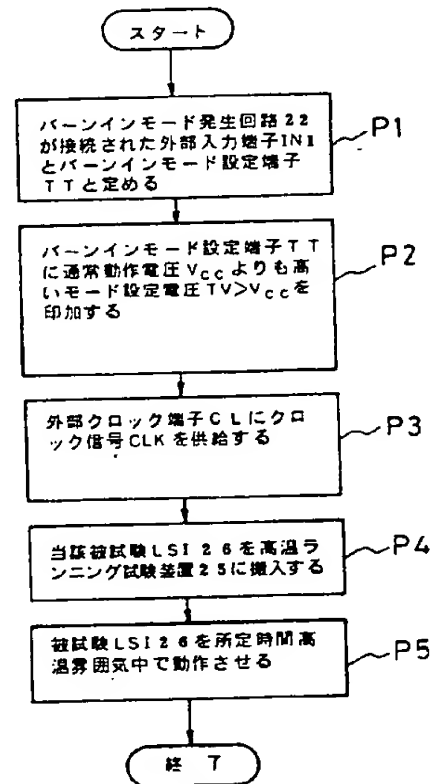
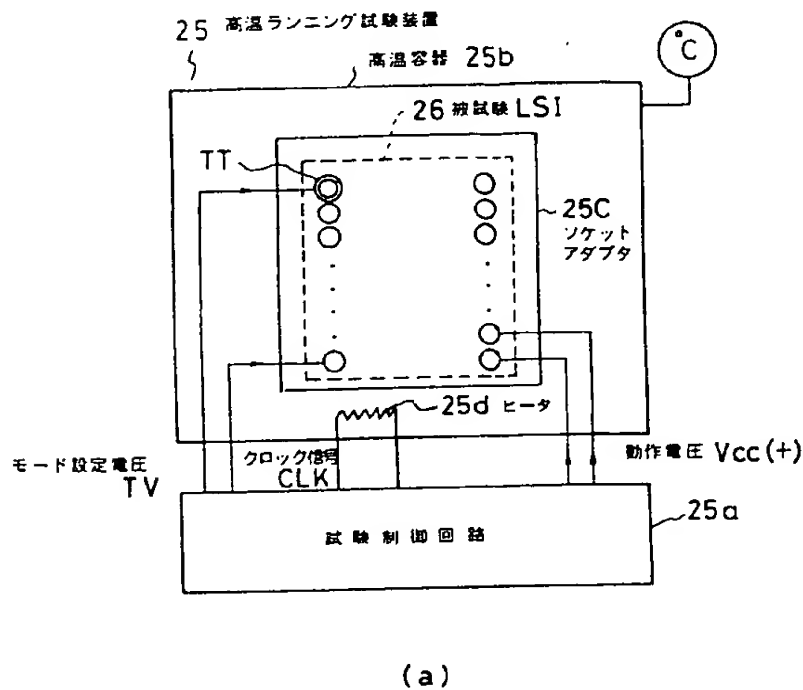
第4図



第5図

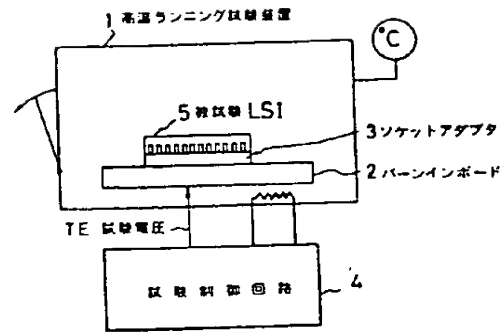


第 6 図



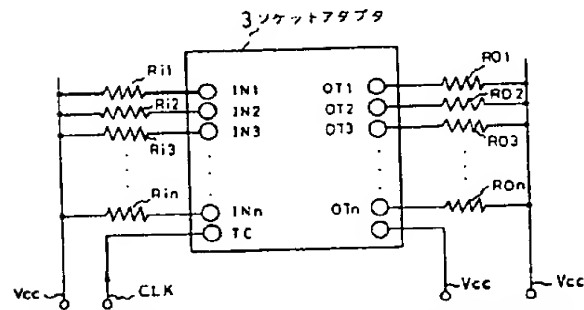
本発明の実施例に係る LSI のバーンイン試験方法の説明図

第 7 図



従来例に係る半導体集積回路装置のバーンイン試験の構成図

第 8 図



従来例に係る問題点を説明するソケットアダプタの周辺回路図

第 9 図

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**